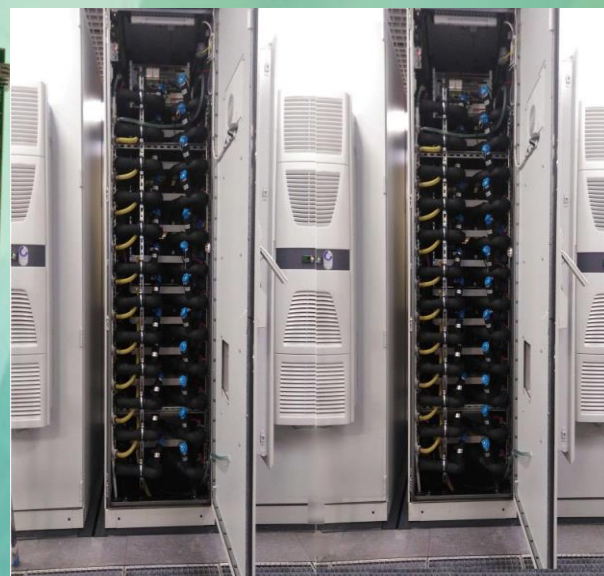
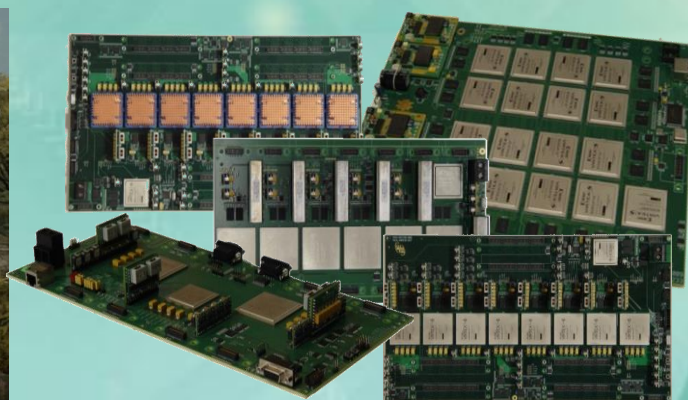




СУПЕРКОМПЬЮТЕРНЫЕ
ДНИ В РОССИИ

Стратегии высокоуровневого синтеза для многокристальных реконфигурируемых вычислительных систем



А.И. Дордопуло



НИИ СЭ И НК

И.И. Левин, В.А. Гудков, А.А. Гуленок

Средства высокоуровневого синтеза

High Level Synthesis - автоматизированный процесс проектирования, отображающий поведенческую спецификацию алгоритма на языке программирования высокого уровня в специализированную аппаратную архитектуру на уровне регистровых передач (**Register Transfer Level**)

Схемотехническое проектирование (3-6 мес)

Высокоуровневый синтез (1-3 дня)

RTL Design Flow

RTL language
(VHDL, Verilog, SV)

Testbench

RTL simulation

Constraints,
directives

HLS Design Flow

Higher-level
language
(C/C++)

C synthesis

RTL

IP integrator

Testbench

C simulation

RTL co-simulation

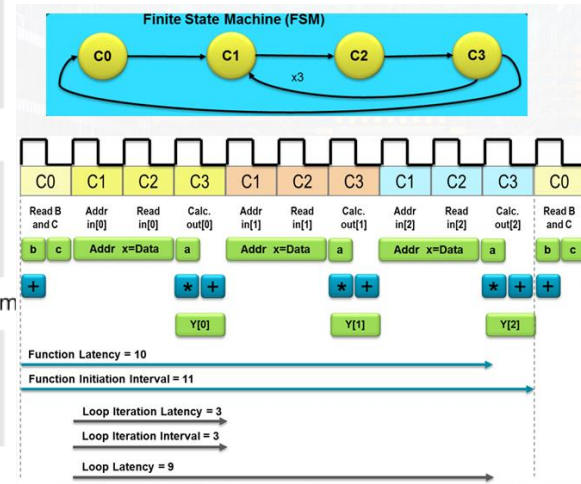
RTL synthesis

Implementation
(place & route)

Bitstream

FPGA
programming

Результат HLS – специализированный, как правило, процедурный схемотехнический блок (IP-core) для 1 кристалла ПЛИС.



Основное назначение средств HLS:

- **сократить время** создания цифровой схемы до 1-3 дней;
- **упростить** процесс разработки и **снизить требования к квалификации** разработчиков.

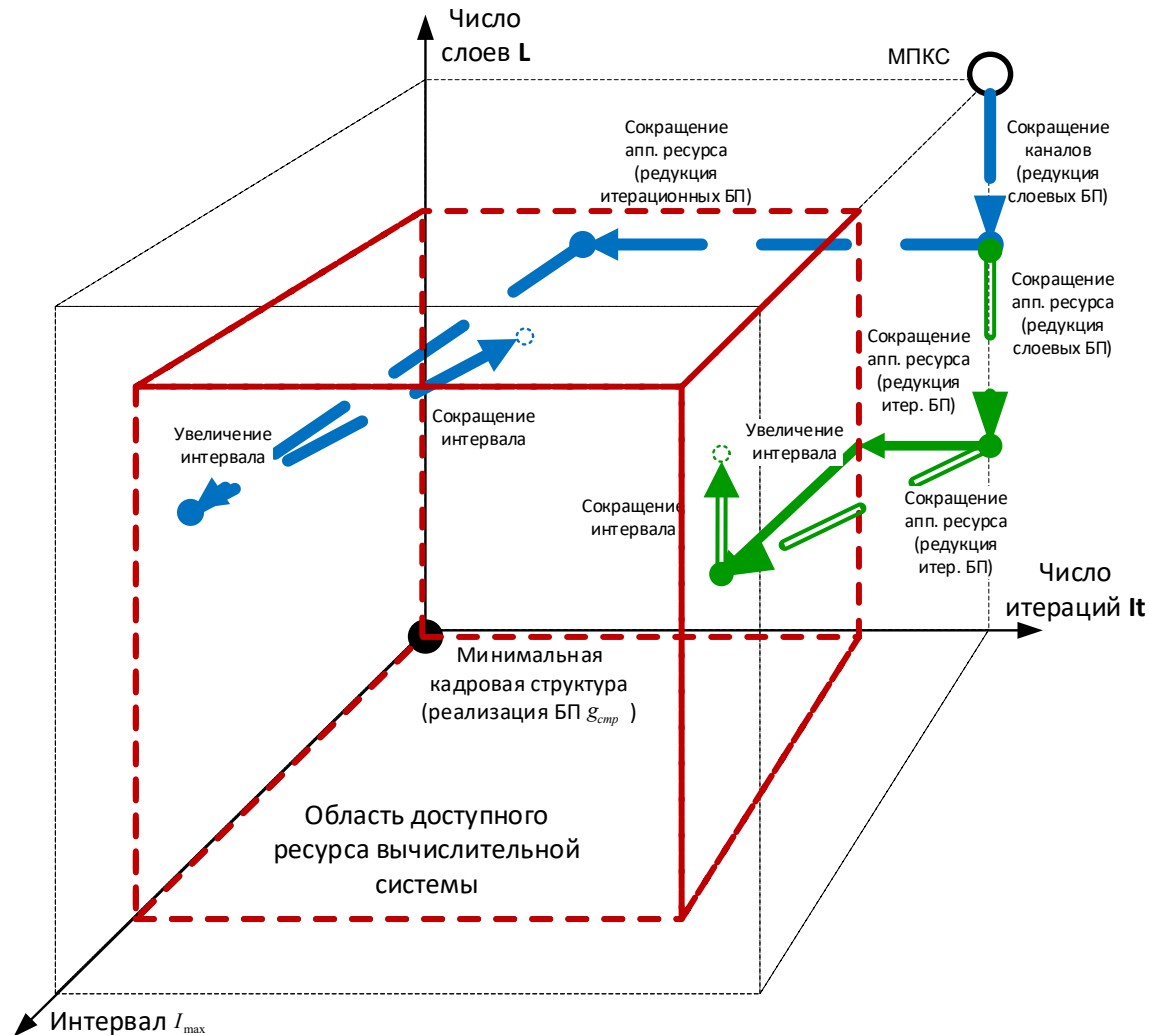
Высокоуровневый синтез для многокристальных PBC: отличия, особенности и ограничения

- доступный аппаратный ресурс не ограничен одним кристаллом, поэтому решение задачи состоит из **нескольких проектов для всех ПЛИС многокристальных PBC**;
- для большого ресурса необходимо синтезировать **параллельно-конвейерное решение задачи**, а не отдельное процедурное IP-ядро;
- синтезируемое решение задачи **должно реализовывать рациональные формы организации вычислений** – конвейер, макроконвейер, конвейер в конвейере, при необходимости использовать автоподстановку;
- решение задачи должно масштабироваться для задаваемого пользователем вычислительного ресурса с **поддержкой различных степеней параллелизма каналов данных и вычислений**;
- **вычисления** как в пределах ПЛИС, так и между кристаллами **должны синхронизироваться автоматически**;
- исходная последовательная программа **должна транслироваться автоматически**, без предварительной разметки кода директивами (**#pragma**);
- **удельная производительность** синтезируемых решений должна составлять **не менее 60%** при уровне заполнения кристалла не выше 90%;

Высокоуровневый синтез для многокристальных PBC: основная идея

1. **Преобразование** последовательной программы в **максимально-параллельную форму** (информационный граф).
2. **Преобразование** информационного графа в **кадровую структуру** для синтеза вычислительной структуры.
3. **Движение к области доступного ресурса** PBC с помощью сокращения аппаратных затрат через параметры параллелизма.
4. **Выбор наиболее рациональной кадровой структуры** в области доступного ресурса из множества возможных с помощью оптимизации организации вычислений - макроконвейер, конвейер в конвейере, автоподстановка.

Критический ресурс - компонент кадровой структуры (слои, итерации, число устройств, разрядность), доля которого в ее общих аппаратных затратах больше всего превышает доступный ресурс PBC.



Что это дает (достоинства подхода):

суммарное количество преобразований существенно меньше числа вариантов распараллеливающего компилятора для систем с распределенной памятью

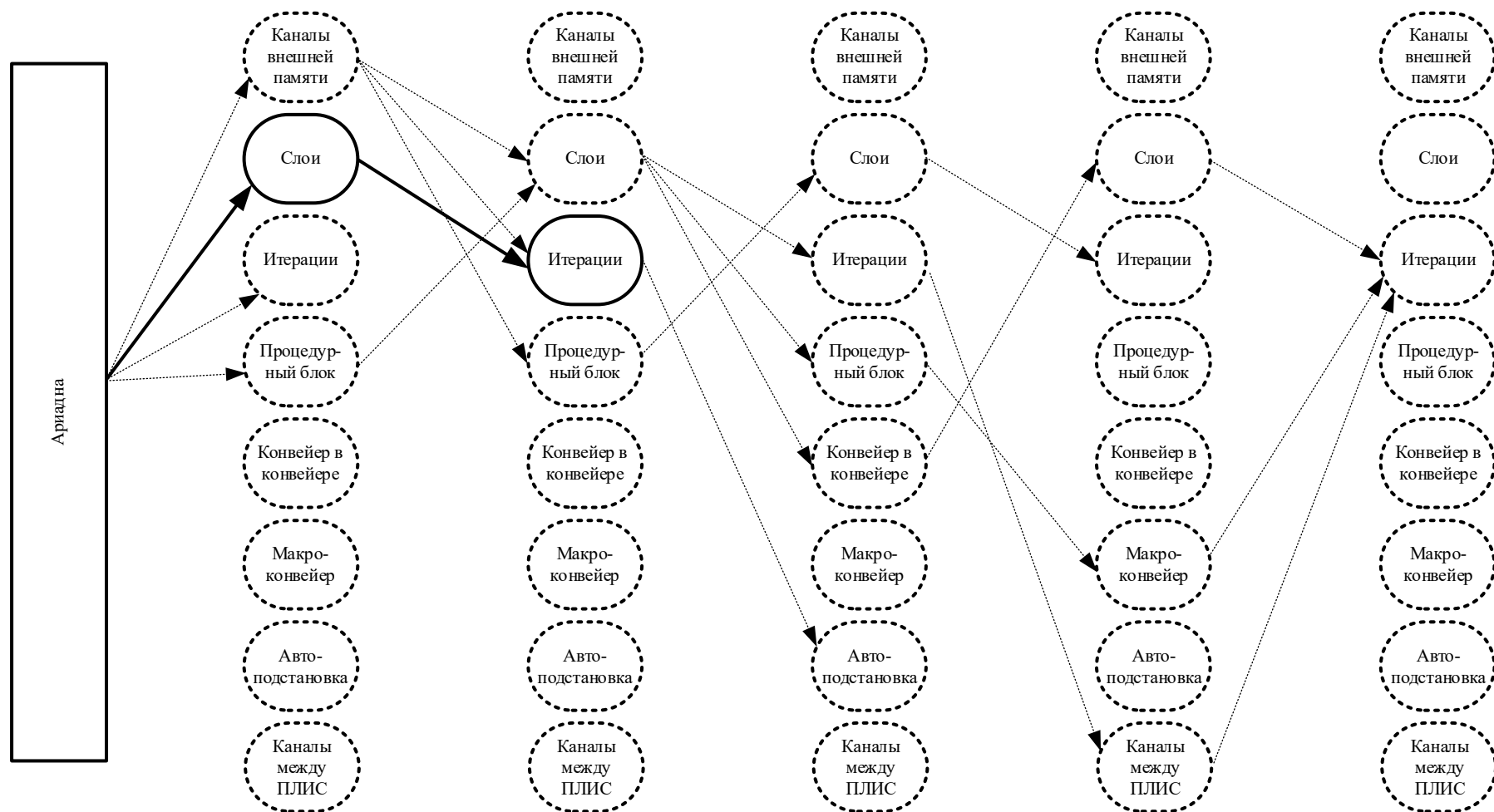
Структура программного комплекса «Тесей»





Ариадна: создание стратегий высокоуровневого синтеза

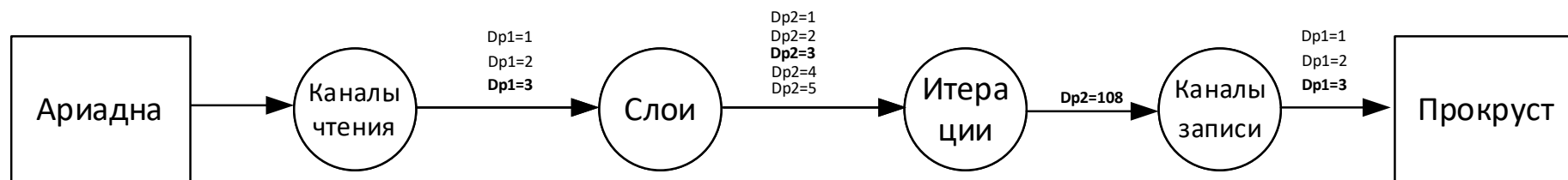
Цель – создать сценарии преобразования кадровой структуры к возможным рациональным формам организации вычислений и выбрать наилучший результат. Каждый сценарий начинается преобразование с МПКС, но в разном порядке сокращает количество слоев (каналов КРП), слоев и итераций (аппаратный ресурс) и применяет оптимизационные преобразования (макроконвейер, конвейер в конвейере, автоподстановка).





Ариадна: создание стратегий высокоуровневого синтеза

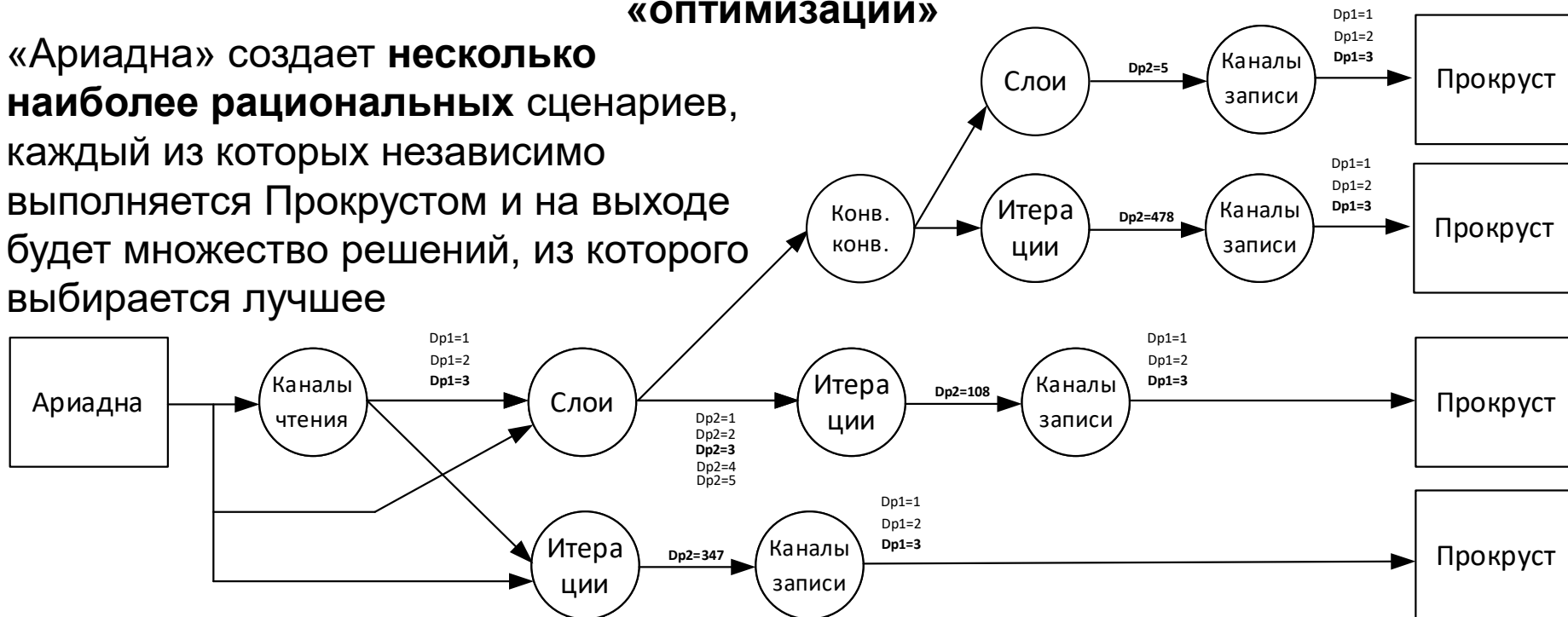
Стратегия «Каналы (слои)» - «ресурс (слои)» - «ресурс (итерации)»



Создается 1 сценарий, Прокруст запускается 1 раз и выдает 1 решение

Стратегия «Каналы (слои)» - «ресурс (слои)» - «ресурс (итерации)» - «оптимизации»

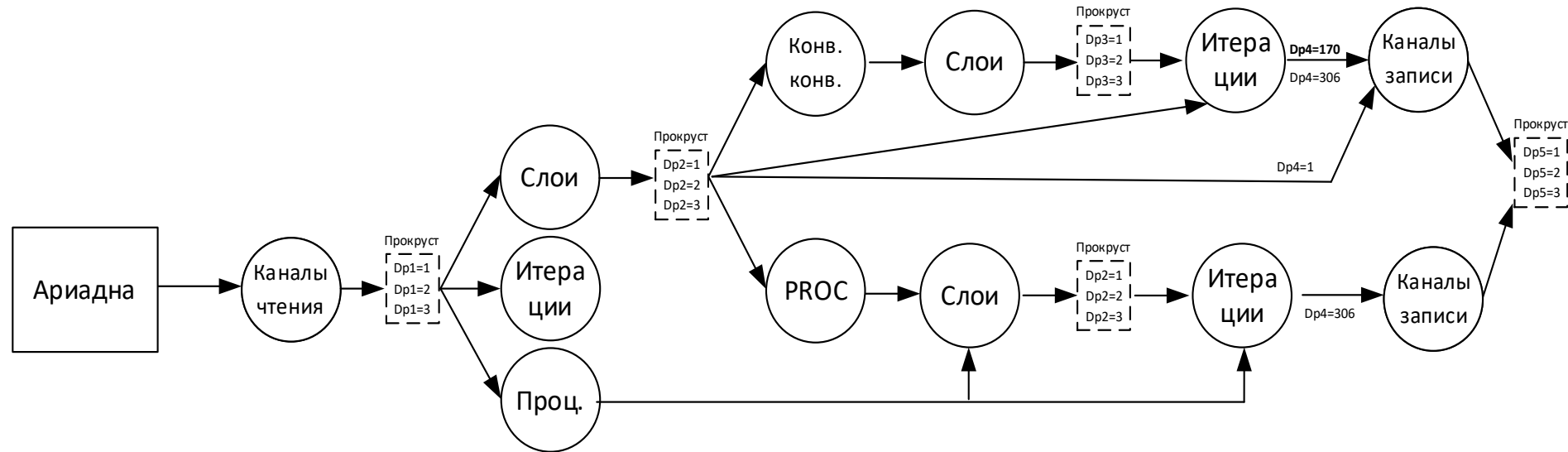
«Ариадна» создает **несколько наиболее рациональных** сценариев, каждый из которых независимо выполняется Прокрустом и на выходе будет множество решений, из которого выбирается лучшее





Ариадна: создание стратегий высокоуровневого синтеза

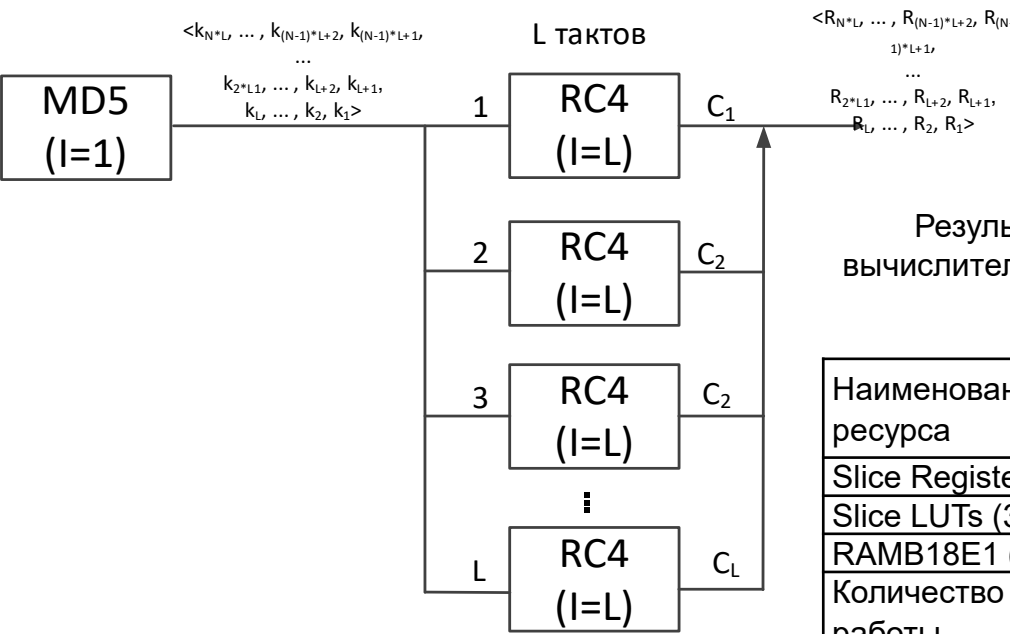
Стратегия «Каналы (слои)» - анализ - «ресурс (слои)» – анализ - «ресурс (итерации)» – анализ - «оптимизации»



Для каждого возможного варианта преобразования запускается Прокруст, в результате после каждого преобразования формируется множество решений. Каждое решение анализируется «Ариадной» и для него выбирается наилучшее с учетом следующего возможного преобразования.

Самая медленная стратегия, но гарантированно обеспечивает поиск наиболее эффективного решения

Что это дает: возможность автоматической реализации макроконвейера из процедурных блоков



Результаты синтеза RC4 в Xilinx Vivado 2018.2 на плате вычислительного модуля V7_Taygeta (кристалл xc7vx485tffg1157).

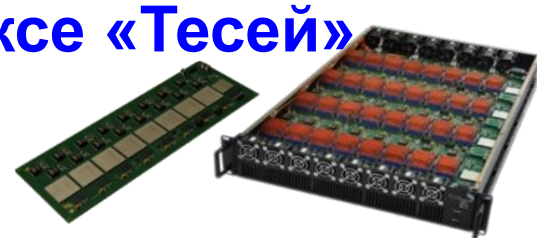
Наименование ресурса	Автоматическое решение	Схемотехническое решение (проигрыш сгенерированного)
Slice Registers	552	455 (+18%)
Slice LUTs (303,600)	261	190 (+27%)
RAMB18E1 (2060)	1	2 (-50%)
Количество тактов работы процедурного блока	1251	970 (+22%)
Тактовая частота	250	220 (-12%)
Кол-во полных конвейеров на плате	4	(От 5 до 6)* (+25% до +50%)

Проигрыш автоматического сгенерированного решения составляет от **9%** до **24%**, что обеспечивает заданные показатели удельной производительности (не ниже 60%).

Количество	Схемотехническая реализация + COLAMO, «Ригель», Virtex-6, 220 Мгц	«Тесей-2025», «Тайгета», Virtex-7, частота 250 Мгц	«Тесей-2025», «Терциус-2», Kintex UltraScale, 250 Мгц	Эффективность, %
процедурных блоков	970	1251	1251	77
макроконвейеров	2	4	8	-

Результаты трансляции задач в комплексе «Тесей»

PBC «Тайгета», 32 ПЛИС Virtex 7 XC7VX485T,
частота 250 МГц, САПР Xilinx Vivado



Символьная обработка	Число конвейеров/ступеней в кристалле			
	Реализация программиста на COLAMO	Трансляция в комплексе «Тесей», 2025	Масштабирование в комплексе «Тесей», 2025 (оптимизация)	Эффективность комплекса «Тесей», 2025
DES	240	151	185 (123%)*	0,77
AES-128	17	14	16 (120%)*	0,94
ГОСТ 28147-89	120	70	91 (130%)*	0,75
MD5	32	21	30 (150%)*	0,93
SHA-128	14	12	13 (115%)*	0,92
MD5-RC4	2*	4	5*	1,5*
Линейная алгебра				
Якоби для 3-диагональных матриц	1480	1186	-	0,8
Гаусс, прямой ход (8000*8001)	1100	919	-	0,83
LU-разложение (8000*8001)	608	456	-	0,75

Время трансляции задач в комплексе «Тесей»

Символьная обработка	Время высокоуровневого синтеза	
	РВС «Тайгета», 250 МГц, 32 ПЛИС Virtex 7 XC7VX485T	РВС «Терциус», 250 МГц, 4 ПЛИС Virtex UltraScale XCKU095T
DES	2 мин 48 сек	3 мин 47 сек
AES-128	18 мин 26 сек	17 мин 51 сек
ГОСТ 28147-89	3 мин 18 сек	3 мин 8 сек
MD5	2 мин 22 сек	2 мин 33 сек
SHA-128	3 мин 47 сек	3 мин 43 сек
MD5-RC4	26 мин 31 сек	21 мин 27 сек
Линейная алгебра		
Якоби для 3-диагональных матриц	38 мин 54 сек	38 мин 10 сек
Гаусс, прямой ход (8000*8001)	46 мин 10 сек	28 мин 25 сек
LU-разложение (8000*8001)	32 мин 37 сек	30 мин 7 сек
Гаусс-Зейдель	6 мин 2 сек	7 мин 7 сек

Благодарю за внимание!